

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-173222

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

H01L 33/00

(21)Application number : 08-326334

(71)Applicant : ROHM CO LTD

(22)Date of filing : 06.12.1996

(72)Inventor : SONOBE MASAYUKI

NAKADA SHUNJI

SHAKUDA YUKIO

TSUTSUI TAKESHI

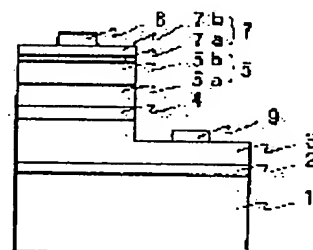
ITO NORIKAZU

(54) MANUFACTURE OF SEMICONDUCTOR LIGHT EMITTING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the forward voltage of a semiconductor light emitting element by sufficiently activating a p-type layer composed of a gallium nitride- based compound semiconductor by annealing a transparent conductive film after the film is formed on the surface side of the p-type layer after a semiconductor layer is laminated upon the p-type layer.

SOLUTION: Since a transparent conductive film, such as an ITO film 7b, etc., is provided on the surface side of a semiconductor layer, the ITO film 7 works as a protective film which prevents the evaporation of Ga, etc. On the other hand, when the ITO film 7b is formed on the surface of the semiconductor layer, etc., the ITO film 7b does not become a perfect oxide film, but is colored, and has such a property that the film 7b is combined with oxygen in the atmosphere and becomes a transparent perfect oxide film during heat treatment.



Therefore, the film 7 is combined with O, etc., which is combined with the Mg-dopant in the semiconductor layer and sufficiently contributes to the activation of a p-type layer on which the ITO film 7 is provided when the p-type layer 5 is annealed. Therefore, a semiconductor light emitting element having a low forward voltage can be obtained.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173222

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 33/00

H 0 1 L 33/00

C

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平8-326334

(22) 出願日 平成 8 年 (1996) 12 月 6 日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 園部 雅之

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 中田 俊次

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 尺田 幸男

京都市右京区西院溝崎町21番地 ローム株式会社内

(74) 代理人 弁理士 河村 洸

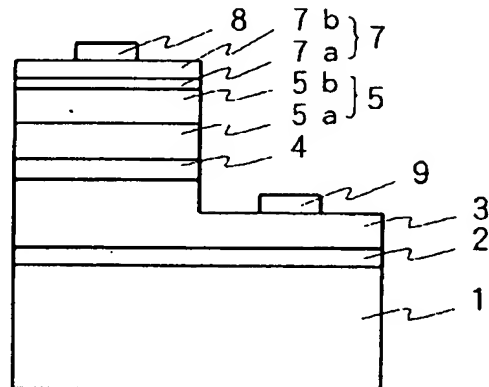
最終頁に続く

(54) 【発明の名称】 半導体発光素子の製法

(57) 【要約】

【課題】 チッ化ガリウム系化合物半導体からなる p 形層の活性化を充分に行うことができ、順方向電圧を下げる事ができる半導体発光素子の製法を提供する。

【解決手段】 基板 1 上にチッ化ガリウム系化合物半導体からなる n 形層 3 および p 形層 5 を含む半導体層を積層し、前記 p 形層の活性化のためのアニール処理を行う半導体発光素子の製法であって、前記半導体層を積層した後の p 形層の表面側に ITO 膜 7 b を成膜した後に前記アニール処理を行う。



- | | | | |
|---|------|-----|--------|
| 1 | 基板 | 7 | 拡散メタル層 |
| 3 | n 形層 | 7 a | メタル層 |
| 4 | 活性層 | 7 b | ITO 膜 |
| 5 | p 形層 | 8 | p 側電極 |
| | | 9 | n 側電極 |

【特許請求の範囲】

【請求項1】 基板上にチッ化ガリウム系化合物半導体からなるn形層およびp形層を含む半導体層を積層し、前記p形層の活性化のためのアニール処理を行う半導体発光素子の製法であって、前記半導体層を積層した後のp形層の表面側に透明導電膜を成膜した後に前記アニール処理を行うことを特徴とする半導体発光素子の製法。

【請求項2】 前記透明導電膜の表面にさらにシリコン酸化チッ化膜を設けた後に前記アニール処理を行う請求項1記載の半導体発光素子の製法。

【請求項3】 前記透明導電膜を設ける前に前記p形層の表面にNiおよびAuを含むメタル層を設ける請求項1または2記載の半導体発光素子の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は基板上に、チッ化ガリウム系化合物半導体が積層される青色系（紫外から黄色）の光を発生する半導体発光素子の製法に関する。さらに詳しくは、p形層のアニール処理を効果的に行う半導体発光素子の製法に関する。

【0002】

【従来の技術】従来、青色系の光を発光する半導体発光素子は、たとえば図2に示されるような構造になっている。すなわち、サファイア基板21上にたとえばGa₂Nからなる低温バッファ層22と、高温でn形のGa₂Nがエピタキシャル成長されたn形層（クラッド層）23と、バンドギャップエネルギーがクラッド層のそれよりも小さく発光波長を定める材料、たとえばInGa₂N系（InとGaの比率が種々変わり得ることを意味する、以下同じ）化合物半導体層からなる活性層（発光層）24と、p形のGa₂Nからなるp形層（クラッド層）25とからなり、その表面にp側（上部）電極28が設けられ、積層された半導体層の一部がエッチングされて露出したn形層23の表面にn側（下部）電極29が設けられることにより形成されている。なお、n形層23およびp形層25はキャリアの閉じ込め効果を向上させるため、活性層23側にAlGa₂N系（AlとGaの比率が種々変わり得ることを意味する、以下同じ）化合物半導体層が用いられることが多い。

【0003】この構造で、p形層5はMgがドーパントとしてドーピングされているが、Mgがチッ化ガリウム系化合物半導体層にドーピングされる際にO（酸素原子）またはH（水素原子）と結合しやすく、MgがOやHと結合していると、ドーパントとしての作用をせず、直列抵抗が大きくなる。そのため、半導体層を積層した後に、400～800℃程度で15～30分程度のアニール処理を行っている。このアニール処理を行う際に、半導体層からGaなどの他の元素が蒸発しないように、また周囲の雰囲気からの酸素を吸収しないように、SiO₂やSi₃N₄（チッ化ケイ素）のような保護膜を設け

て行われている。

【0004】

【発明が解決しようとする課題】前述のように、アニール時に半導体層の表面にSiO₂やSi₃N₄などの保護膜を設けて行っているため、Gaなどの蒸発を防止することができるが、半導体層中のOなども蒸発し難く、MgとOなどとの結合を完全に切り離して、Oなどを蒸発分離させることができない。したがって、p形層の活性化を充分に行うことができず、p形層の抵抗を充分に下げることができないという問題がある。

【0005】本発明はこのような状況に鑑みてなされたもので、チッ化ガリウム系化合物半導体からなるp形層の活性化を充分に行うことができ、順方向電圧を下げるのできる半導体発光素子の製法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明による半導体発光素子は、基板上にチッ化ガリウム系化合物半導体からなるn形層およびp形層を含む半導体層を積層し、前記p形層の活性化のためのアニール処理を行う半導体発光素子の製法であって、前記半導体層を積層した後のp形層の表面側に透明導電膜を成膜した後に前記アニール処理を行うことを特徴とする。この透明導電膜を設けることにより、半導体層中のGaなどの他の元素の蒸発を防止すると共に、透明導電膜は成膜時には完全な酸化物になっていないため、Mgと結合したOが分離して透明導電膜中の成分と化合しやすい。したがって、p形層中のMg-Oなどの結合が完全に分離されてドーパント化し、その活性化が充分に行われる。

【0007】ここにチッ化ガリウム系化合物半導体とは、III族元素のGaとV族元素のNとの化合物またはIII族元素のGaの一部がAl、Inなどの他のIII族元素と置換したものおよび／またはV族元素のNの一部がP、Asなどの他のV族元素と置換した化合物からなる半導体をいう。また、透明導電膜とはITO、酸化スズ、酸化インジウムなどの導電性があり、充分酸化した状態で透明な材料からなる膜をいう。

【0008】前記透明導電膜の表面にさらにシリコン酸化チッ化膜を設けた後に前記アニール処理を行うことが、透明導電膜が雰囲気ガス中のOなどを吸収しやすいのを防止できるため、半導体層中のMgと結合したOなどを分離しやすくなり好ましい。ここにシリコン酸化チッ化膜とは、SiO₂、Si₃N₄、SiO、N₂などのSiとOおよび／またはNとが化合した絶縁膜をいう。

【0009】前記透明導電膜を設ける前に前記p形層の表面にNiおよびAuを含むメタル層を設けておくことにより、p形の半導体層とのオーミックコンタクトを取りやすく、透明導電膜をそのまま残して拡散メタル層として使用する場合にその効果が大きくなる。

【0010】

【発明の実施の形態】つぎに、図面を参照しながら本発明の半導体発光素子の製法について説明をする。図1には、青色発光に適したチッ化ガリウム系化合物半導体層がサファイア基板上に積層される本発明の方法の一実施形態により製造される半導体発光素子の断面説明図が示されている。

【0011】本発明の半導体発光素子の製法は、図1に示されるように、たとえばサファイア（Al₂O₃、単結晶）などからなる基板1の表面にGa₂Nからなる低温バッファ層2、n形のGa₂Nからなるn形層3、活性層4、p形のAlGa₂N系化合物半導体層5aおよびGa₂N層5bからなるp形層5を順次積層して半導体積層部を形成する。そして、電流拡散用のメタル層7aを形成し、さらにその上にITO膜7bなどの透明導電膜および図示しないチッ化ケイ素膜（SiN_x）などのシリコン酸化チッ化膜を形成した後に、p形層5の活性化のためのアニール処理をすることに特徴がある。その後、SiN_xの一部を除去してITO膜7b上に上部電極（p側電極）8を形成している。また、積層された半導体層の一部を除去して露出したn形層3に下部電極（n側電極）9を形成している。ここで、ITO膜7bは、アニール時の保護膜として作用すると共に、メタル層7aと共に電流拡散用の拡散メタル層7を構成している。

【0012】基板1上に積層される半導体層は、たとえばGa₂Nからなる低温バッファ層2が0.01~0.2μm程度堆積され、ついでクラッド層となるn形層3が1~5μm程度堆積され、さらに、バンドギャップエネルギーがクラッド層のそれよりも小さくなる材料、たとえばInGa₂N系化合物半導体からなる活性層4が0.05~0.3μm程度、p形のAlGa₂N系化合物半導体層5aおよびGa₂N層5bからなるp形層（クラッド層）5が0.2~1μm程度、それぞれ順次積層されることにより構成されている。なお、p形層5はAlGa₂N系化合物半導体層5aとGa₂N層5bとの複層になっているが、キャリアの閉じ込め効果の点からAlを含む層が設けられることが好ましいため、Ga₂N層だけでもよい。また、n形層3にもAlGa₂N系化合物半導体層を設けて複層にしてもよく、またこれらを他のチッ化ガリウム系化合物半導体層で形成することもできる。さらに、この例では、n形層とp形層とで活性層が挟持されたダブルヘテロ接合構造であるが、n形層とp形層とが直接接合するpn接合構造のものでよい。

【0013】つぎに、本発明の半導体発光素子の製法について、具体例によりさらに詳細に説明をする。

【0014】有機金属化学気相成長法（MOCVD法）により、キャリアガスのH₂と共にトリメチルガリウム（TMG）、アンモニア（NH₃）などの反応ガスおよびn形にする場合のドーパントガスとしてのSiH₄などを供給して、たとえばサファイアからなる基板1上に400~600℃程度の低温で、Ga₂N層からなる低温

バッファ層2を0.01~0.2μm程度、同じ組成でn形のn形層（クラッド層）3を1~5μm程度結晶成長する。さらにドーパントガスを止めて、反応ガスとしてトリメチルインジウム（以下、TMInという）を追加し、InGa₂N系化合物半導体からなる活性層4を0.05~0.3μm程度成膜する。

【0015】ついで、反応ガスのTMInをトリメチルアルミニウム（以下、TMAという）に変更し、ドーパントガスとしてシクロペンタジエニルマグネシウム（Cp₂Mg）を導入して、p形のAlGa₂N系化合物半導体層5aを0.1~0.5μm程度、さらに再度反応ガスのTMAを止めてp形のGa₂N層5bを0.1~0.5μm程度それぞれ積層し、p形層5を形成する。

【0016】その後、たとえばNiおよびAuをそれぞれ2~50nm程度蒸着してシンターすることにより薄くて透明なメタル層7aを10~50nm程度形成し、その表面にITO膜7bを0.1~0.2μm程度成膜する。その表面にさらにSiN_xなどの保護膜（図示せず）を設けてp形ドーパントの活性化のため、400~800℃程度で15~30分程度のアニールを行う。

【0017】ついで、下部電極を形成するためn形層3が露出するように、積層された半導体層の一部を塩素ガスなどによる反応性イオンエッチングによりエッチングをする。この露出したn形層3の表面にn側電極金属のTiおよびAlをそれぞれ0.1μm程度と0.3μm程度ずつ真空蒸着などにより成膜することにより、下部電極9を形成する。さらにp側電極のために図示しないSiN_xなどの保護膜の一部を除去してITO膜7b上にTiとAuをそれぞれ真空蒸着することにより、上部電極8を形成する。その結果、図1に示される半導体発光素子が得られる。

【0018】本発明によれば、アニール時の半導体層の表面側にITO膜などの透明導電膜が設けられているため、半導体層のGaなどの蒸発を防止する保護膜としての作用を十分に果たす。一方、ITO膜は、半導体層などの表面に成膜された際は、完全な酸化膜にはなっておらず、着色しており、熱処理中に雰囲気酸素と化合して完全な酸化膜となり透明になる性質を有している。そのため、ITO膜が設けられてp形層のアニール処理が行われるときに半導体層中のドーパントMgと結合しているOなどと化合してp形層の活性化に充分に寄与する。その結果、p形層の抵抗が低下し、順方向電圧の低い半導体発光素子が得られる。

【0019】以上のように、ITO膜がアニール時の半導体層の保護膜として作用するが、このITO膜の表面にさらにSiN_xなどの保護膜が設けられることにより、熱処理時にITO膜が雰囲気酸素原子と化合するのを防止することができるため、半導体層中のO原子と一層化合しやすい。そのため、前述のように、ITO膜の表面にさらにSiN_xなどの保護膜が設けられることが、半

導体層の活性化を効率よく行うのにとくに効果があり、好ましい。

【0020】さらに、ITO膜は導電性で、十分に酸化すれば透明になるため、そのまま最後まで残すことにより、電流を半導体層の全面に拡げる拡散メタル層の役割を果たすことができる。しかし、ITO膜と半導体層とのオーミックコンタクト特性はそれ程よくないため、拡散メタル層としてそのまま使用するためには、ITO膜を設ける前に半導体層の表面にIn粉末を粒状に設けたり、Ni/Au、または前述のようにIn/Ni/Auの薄い合金膜を設け、その上にITO膜を設けることにより、合金膜などと半導体層との接触がオーミック接触となり、ITO膜はInや合金膜などと良好な電気接触が得られるため好ましい。このとき、合金薄膜層とITO膜とが拡散メタル層として作用する。

【0021】なお、前述の例では透明導電膜としてITOを用いたが、酸化スズ、酸化インジウムでも同様の性質を有し、同じように用いられる。さらに保護膜としてはSiN_x以外のSiO₂やSiO_xN_xなどのシリコン酸化チタ化膜を用いることもできる。

【0022】

【発明の効果】本発明によれば、ITO膜を保護膜とし*

*てp形層の活性化を行っているため、p形層の活性化が充分に行われ、抵抗値を充分に低下させることができ、その結果、順方向電圧を下げることができ、バンドギャップエネルギーが大きいチタ化ガリウム系化合物半導体を使用する半導体発光素子においてもその駆動電圧を低下させることができる。

【図面の簡単な説明】

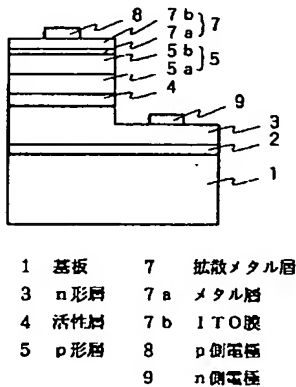
【図1】本発明の半導体発光素子の一実施形態の断面説明図である。

【図2】従来の半導体発光素子の一例の斜視説明図である。

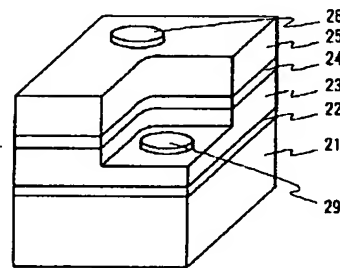
【符号の説明】

- 1 基板
- 3 n形層
- 4 活性層
- 5 p形層
- 7 拡散メタル層
- 7a メタル層
- 7b ITO膜
- 8 p側電極
- 9 n側電極

【図1】



【図2】



フロントページの続き

(72)発明者 筒井 毅
京都市右京区西院溝崎町21番地 ローム株式会社内

(72)発明者 伊藤 範和
京都市右京区西院溝崎町21番地 ローム株式会社内